

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097795

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H03K 17/14
H01L 23/58
H01L 27/04
H03K 17/08
H03K 17/687

(21)Application number : 04-243146

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 11.09.1992

(72)Inventor : ASHLEY DONALD J

(30)Priority

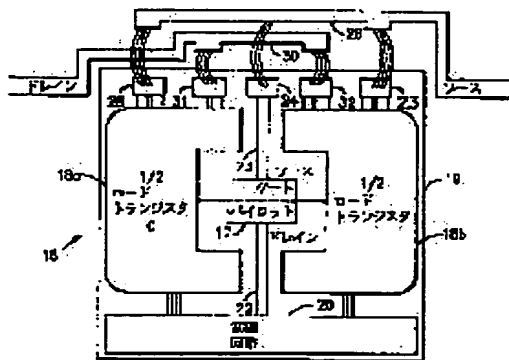
Priority number : 91 782833 Priority date : 24.10.1991 Priority country : US

(54) TEMPERATURE COMPENSATION CIRCUIT

(57)Abstract:

PURPOSE: To perform temperature compensation for the control or monitoring of a load current.

CONSTITUTION: Load transistors 18a and 18b are integrated inside a region of a semiconductor layer and provided with an ON-state resistor for passing through a load current. One or plural drain pilot transistors 17 are integrated in the same region of the semiconductor layer, so as to be surrounded by the load transistors 18a and 18b. When the load transistors 18a and 18b are heated by the load current, the heat is transmitted to the pilot transistor 17, and the pilot transistor 17 is heated to the practically same temperature as the load transistors 18a and 18b. In the case that more than one pilot transistors are provided, all of them are mutually adjacently installed, so as to indicate practically the same temperature with each other and the ON-state resistor of the respective pilot transistors is changed proportionally to the one of the load transistor. A current source supplies a constant current to the ON-state resistor of the respective pilot transistors.

**LEGAL STATUS**

[Date of request for examination] 11.09.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 2572510

[Date of registration] 24.10.1996

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 24.10.1999

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平6-97795

(43)公開日 平成6年(1994)4月8日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/14		9184-5 J		
H 0 1 L 23/58				
27/04	F	8427-4M		
			H 0 1 L 23/ 56	D
		8221-5 J	H 0 3 K 17/ 687	B
			審査請求 有	請求項の数 9 (全 21 頁) 最終頁に続く

(21)出願番号 特願平4-243146

(22)出願日 平成4年(1992)9月11日

(31)優先権主張番号 782833

(32)優先日 1991年10月24日

(33)優先権主張国 米国 (U S)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS
MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ドナルド ジェイムズ アシュレイ

アメリカ合衆国13760、ニューヨーク州エ
ンディコット、ポスウェル ヒル ロード
249

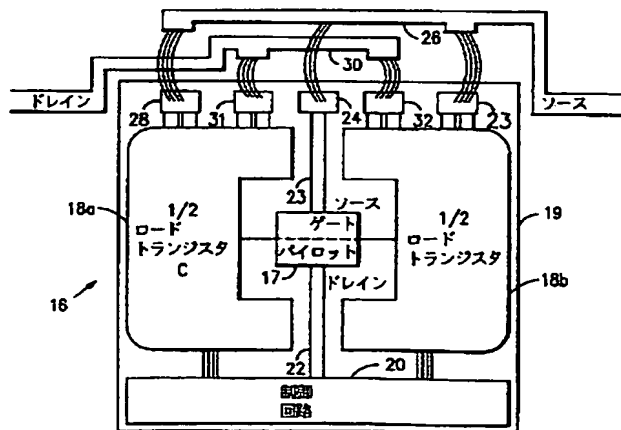
(74)代理人 弁理士 頓宮 孝一 (外4名)

(54)【発明の名称】 温度補償回路

(57) 【要約】

【目的】 負荷電流の制御又は監視のために温度補償を行なう。

【構成】 ロードトランジスタ 18 a、18 b は半導体レイヤの領域内に集積され、負荷電流を通すオン抵抗を有する。1 個又は複数のドレインパイロットトランジスタ 17 は、ロードトランジスタ 18 a、18 b によって包囲されるように半導体レイヤの同一領域に集積される。ロードトランジスタ 18 a、18 b が負荷電流により加熱されると、その熱はパイロットトランジスタ 17 に伝導し、パイロットトランジスタ 17 をロードトランジスタ 18 a、18 b と実質的に同じ温度まで加熱する。パイロットトランジスタ が 1 以上ある場合、これらすべてはお互いどうし実質的に同一温度を示すように相互に隣接して設置され、パイロットトランジスタの各々のオン抵抗はロードトランジスタのそれに比例して変化する。電流源は個々のパイロットトランジスタのオン抵抗に対し定電流を供給する。



【特許請求の範囲】

【請求項1】 負荷電流の制御又は監視に使用するための温度補償回路であって、
半導体レイヤの領域に集積されるとともに、負荷電流を通すオン抵抗を有するロードトランジスタと、
前記半導体レイヤの前記領域内に集積されるパイロットトランジスタであって、前記ロードトランジスタが前記負荷電流により加熱されると、前記ロードトランジスタからの熱が前記パイロットトランジスタに伝導し、それによって前記パイロットトランジスタを前記ロードトランジスタとほぼ同じ温度にまで加熱することになるように、前記ロードトランジスタがパイロットトランジスタを実質的に包囲し、前記パイロットトランジスタのオン抵抗が温度によって前記ロードトランジスタの前記オン抵抗に比例して変化するような前記ロードトランジスタの基準化モデルであるパイロットトランジスタと、
を含む温度補償回路。

【請求項2】 前記半導体レイヤの前記領域内に前記パイロットトランジスタを構成する第1のドレインパイロットトランジスタに隣接して集積される第2のドレインパイロットトランジスタをさらに備え、前記ロードトランジスタが前記負荷電流により加熱されると、前記ロードトランジスタからの熱はさらに前記第2のドレインパイロットトランジスタに伝導し、それによって第1と第2のパイロットトランジスタの双方を、相互にほぼ同じ温度及び前記ロードトランジスタと同一温度にまで加熱することになるように、前記ロードトランジスタが前記第1と前記第2のドレインパイロットトランジスタの双方を実質的に包囲し、前記第2のドレインパイロットトランジスタは前記第2のパイロットトランジスタのオン抵抗が温度によって前記ロードトランジスタの前記オン抵抗に比例して変化するような前記ロードトランジスタの基準化モデルである請求項1記載の温度補償回路。

【請求項3】 前記パイロットトランジスタのソース用I/Oパッドであって、前記半導体レイヤ上に形成され且つ前記ロードトランジスタの外側に設置されるI/Oパッドと、
前記パイロットトランジスタのソースと前記I/Oパッドとの間に接続される前記半導体レイヤと一体であるとともに、前記ロードトランジスタを部分的に分割する導体と、
をさらに含む請求項1記載の温度補償回路。

【請求項4】 基準電圧を引き出すために、前記パイロットトランジスタの前記オン抵抗に結合されて、定電流を供給する第1の電流源と、
前記ロードトランジスタの前記オン抵抗を横切る電圧を前記基準電圧と比較するための手段と、
をさらに含む請求項1記載の温度補償回路。

【請求項5】 負荷電流の制御又は監視に使用するための温度補償回路であって、

半導体レイヤの領域内に集積されるとともに、負荷電流を通すオン抵抗を有するロードトランジスタと、
前記半導体レイヤの前記領域内に集積され、実質的に相互に及び隣合わせに整列されて、さらに前記ロードトランジスタによって実質的に包囲される第1、第2及び第3のパイロットトランジスタであって、前記ロードトランジスタが前記負荷電流により加熱されると、前記ロードトランジスタからの熱が前記第1、第2及び第3のパイロットトランジスタに伝導して、前記第1、第2及び第3のパイロットトランジスタを相互に及び前記ロードトランジスタとほぼ同じ温度にまで加熱することになるとともに、前記パイロットトランジスタの各々は、前記パイロットトランジスタのそれぞれのオン抵抗が温度によって前記ロードトランジスタの前記オン抵抗に比例して変化するような前記ロードトランジスタの基準化モデルである第1、第2及び第3のパイロットトランジスタと、
を含む温度補償回路。

【請求項6】 前記ロードトランジスタは複数列から成る個別トランジスタを有し、前記第1、第2及び第3のパイロットトランジスタは前記列状態に対して実質的に並行に又は垂直に整列される請求項5記載の温度補償回路。

【請求項7】 前記パイロットトランジスタの各々はドレインを有し、さらに、前記半導体レイヤと一体であるとともに、前記第1、第2及び第3のパイロットトランジスタのドレインからそれぞれ前記ロードトランジスタの外側の位置にまで相互に隣接して且つ並行に延出する第1、第2及び第3の長尺状導体を含む請求項5記載の温度補償回路。

【請求項8】 前記第1のパイロットトランジスタのソース用のI/Oパッドであって、前記半導体レイヤ上に形成され且つ前記ロードトランジスタの外側に配置されるI/Oパッドと、
前記第1のパイロットトランジスタのソースと前記I/Oパッドとの間に接続される前記半導体レイヤと一体であるとともに、前記ロードトランジスタを部分的に分割する長尺状導体と、
をさらに含む請求項5記載の温度補償回路。

【請求項9】 第1、第2及び第3の基準電圧をそれぞれ引き出すために、前記第1、第2及び第3のパイロットトランジスタの前記オン抵抗に対しそれぞれ結合されて、固定電流を供給する第1、第2及び第3の電流源と、
前記ロードトランジスタの前記オン抵抗を横切って引き出される電圧を前記第1、第2及び第3の基準電圧と比較するための手段と、
をさらに含む請求項5記載の温度補償回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は概して、半導体回路内の温度監視トランジスタに係り、詳細には、ロードトランジスタの温度を監視する単一又は複数のトランジスタの半導体配置に関する。

【0002】

【従来の技術】ソレノイド、モータ及びその他のロードにおいては、それらの駆動電流の正確な制御を必要とするものがある。例えば、精密印刷ハンマーはソレノイドによって駆動可能であり、印刷ハンマーの速度及び衝撃力が厳密な仕様を満たすように正確な駆動電流を必要とする。駆動電流は温度を含む幾つかの要因によって影響されることがある。温度影響の多くは、負荷を駆動するために必要とされる電流のみから（駆動電流を流す）ロードトランジスタを加熱することによるものであり、この加熱は通常では回避することが不可能である。ロードトランジスタを加熱することによってロードトランジスタの「オン抵抗」は増加され、このオン抵抗はFETトランジスタのソース経路に対するドレインの特性又はバイポーラトランジスタのエミッタ経路に対するコレクタの特性である。増加されたオン抵抗は普通では、一定の駆動電圧に対し負荷電流を減少させる傾向があり、負荷電流を所定範囲内に維持するために駆動電圧が調整されなければならない。その他の要因もまた負荷電流に影響することがある。

【0003】負荷電流へのすべての影響の結果として、負荷電流を所定範囲内に維持するために駆動電流を連続して制御するためのある形式のフィードバックが用いられることが多い。例えば、小型レジスタ（抵抗器）が負荷に直列に配置され、レジスタを横切る電圧が駆動電流を監視するために使用される。この技術には、直列レジスタにおける電力消費と、温度変化に伴う直列レジスタ自体の抵抗の変化による不精密さによる欠点がある。さらに最新の技術では、ロードトランジスタの基準化バージョンである「パイロット」トランジスタが用いられている。例えば、ロードトランジスタは、大きな負荷電流を取り扱うために並列接続された数十万個の同一のトランジスタから製造され、対応するパイロットトランジスタは、並列接続された数百個の同一トランジスタの大きさを有する単一のトランジスタである。パイロットトランジスタとロードトランジスタはともに同一「チップ」内に集積される。

【0004】「ドレインパイロット」設計では、ドレインパイロットトランジスタは実際には負荷電流を少しも通過させず、パイロットトランジスタの加熱は、主として基板又は共通チップの対応付けられる金属レイヤを介する熱伝導によって起こされることに注意するものである。それにもかかわらず、ロードトランジスタが負荷電流によって加熱すると、ドレインパイロットトランジスタもまた加熱して、パイロットトランジスタのオン抵抗はロードトランジスタのオン抵抗に比例して変化する。

定電流源はドレインパイロットトランジスタにオン抵抗を供給し、それによって任意の温度での所望の負荷電流に比例する電圧を引き出させる。（この電流はパイロットトランジスタの大きな加熱を回避するために小さい。）

【0005】ドレインパイロットトランジスタのオン抵抗はロードトランジスタのオン抵抗を追尾するために、ドレインパイロットトランジスタを横切って引き出された電圧は、ロードトランジスタを横切って引き出された電圧と比較するための正確な基準である。ロードトランジスタを横切って引き出された電圧がその基準よりも大きいと、さらに駆動電圧を提供する電源が所定期間負荷から切り離されて駆動電流を減少することになる。次に、負荷電流を増加するために電源は再び接続される。このサイクルは駆動電流の持続期間にわたって繰り返されて、駆動電流を所定範囲内に維持する。この結果は、温度を含む負荷電流へのすべての影響を考慮して駆動電流を合理的且つ正確に制御することになる。

【0006】以前には、ロードトランジスタのエッジ近くでロードトランジスタに隣接してドレインパイロットトランジスタを設置することが知られていたもので、これによって合理的に最適な温度補償が行なわれてきた。しかしながら、パイロットトランジスタの温度は、ある用途については十分な確実さでロードトランジスタの温度を追尾するものではなかった。また、ロードトランジスタの温度が均一でないことは言うまでもなく、即ち、ロードトランジスタは大型で且つ数十万個のトランジスタを有する。一般的なロードトランジスタでは、デバイスの中心付近の個別トランジスタはエッジ付近の個別トランジスタよりも幾らか温度が高い。それぞれ異なるオン抵抗を備えたこれら個別トランジスタはすべて並列接続されて、負荷電流に影響を及ぼす単一要素から成るオン抵抗を生じることになる。

【0007】「ソースパイロット」設計では、ソースパイロットトランジスタもまた、ロードトランジスタの基準化モデルであり、ロードトランジスタとして同一チップ上に集積される。但し、ドレインパイロットとは反対に、実際には負荷電流を若干引き出す。ソースパイロットトランジスタによって引き出される電流の大きさを監視し且つ用いることによって負荷電流を制御する。本件によって優先権主張される元のアメリカ特許出願と同時出願された係属中のアメリカ特許出願の主題である電気回路の中には、同じロードトランジスタの温度を追尾するために1個を越えるドレインパイロットトランジスタを必要とするものがある。

【0008】

【発明が解決しようとする課題】本発明の総括的目的は、ロードトランジスタの温度を正確に追尾する1個又は複数の関連パイロットトランジスタの半導体配置を提供することである。

【0009】本発明の別の目的は、複数のパイロットトランジスタがお互いの温度を正確に追尾する上記タイプの半導体配置を提供することである。

【0010】本発明のさらに別の目的は、複数のパイロットトランジスタがロードトランジスタの配置へのインパクトを最小限にする上記タイプの半導体配置を提供することである。

【0011】

【課題を解決するための手段】本発明は負荷電流を制御又は監視するのに使用される温度補償回路にある。この回路は半導体レイヤの領域に集積されるロードトランジスタを有する。ロードトランジスタは負荷電流を通過させるオン抵抗を有する。1個又は複数のドレインパイロットトランジスタもまた、ロードトランジスタがパイロットトランジスタを実質的に包囲するように半導体レイヤの同一領域に集積される。したがって、ロードトランジスタが負荷電流により加熱されると、ロードトランジスタからの熱はパイロットトランジスタに伝導し、そのパイロットトランジスタをロードトランジスタと実質的に同じ温度まで加熱する。ロードトランジスタ内に1個を超えるパイロットトランジスタがあると、さらにパイロットトランジスタのすべては、お互いに実質的に同じ温度を示すように相互に隣接して設置される。パイロットトランジスタは、パイロットトランジスタの各々のオン抵抗が温度によってロードトランジスタのオン抵抗に比例して変化するような、基準化モデルのロードトランジスタである。電流源（複数でもよい）は個々のパイロットトランジスタのオン抵抗に対し固定電流を供給する。したがって、パイロットトランジスタを横切って表われる電圧は、負荷電流、過電流又は不足電流検出器に対し駆動電圧を設定するための正確な基準であり、基準電圧は補償温度である。

【0012】本発明の一特徴によると、3個（又はそれ以上の）パイロットトランジスタは、これら3個のパイロットトランジスタのすべてが実質的にお互いどうし、また隣合わせに整列され、ロードトランジスタがすべてのパイロットトランジスタを実質的に包囲するように、半導体領域内に集積される。この配置によって、ロードトランジスタのパイロットトランジスタが追尾する最適な温度と、パイロットトランジスタの温度の均一性が保証される。さらにこの配置によれば、ロードトランジスタは、3個のパイロットトランジスタすべてのための単一の「ポケット」と、3個の個々のドレイン導体のための単一のチャネルと、共通ソース導体のための単一のチャネルと、を有する半分ずつに適切に分割することができるので、ロードトランジスタの配置の外乱が最小限にされる。

【0013】

【実施例】まず、図面について説明する。図中、類似参照符号は全図にわたって類似部分を示すもので、図1は

従来技術によるドレインパイロットトランジスタ10と、関連ロードトランジスタ11と、制御回路9を示している。ドレインパイロットトランジスタ10とロードトランジスタ11はともに、シリコンチップ12内に互いに隣接して集積される。ロードトランジスタ11とパイロットトランジスタ10はMOSFETデバイスである。一例として、ロードトランジスタ11は並列接続される数十万個の個別MOSFETトランジスタを有し、パイロットトランジスタ10はロードトランジスタの基準化モデルであって、並列接続されるロードトランジスタの数百個の個別トランジスタに等しい大きさを有する。制御回路9もまた、同じ集積回路又は「チップ」12内に統合されて、負荷53への電流を制御する。

【0014】制御回路はパイロットトランジスタ10を用いて以下の方法により負荷電流を正確に制御する。定電流源13はパイロットトランジスタのオン抵抗（ソース経路へのドレイン）を供給して、（コンパレータ6によって）ロードトランジスタ11のドレインで感知された電圧と比較するための基準電圧を引き出させる。感知された電圧が基準電圧以上に上昇すると、コンパレータ6はフリップフロップ7をリセットし、フリップフロップ7はトランジスタ5をオフすることによって、発振器8の周波数で決定される所定の期間負荷から電源15を切り離すことになる。この所定期間後に、感知された電圧が基準電圧以下になると、発振器はフリップフロップ7を設定し、これにより、感知された電圧が基準電圧を超えるまで電源15を負荷に再接続して、サイクルが繰り返されることになる。この結果、負荷電流は前記変動以外はほぼ一定に維持される。これらの変動が負荷53と直列回路のLR時間定数によって決定され、その時間定数は温度とともに変化するために、平均負荷電流は全体として制御不可能である。このレベルの平均負荷電流の制御は多くの用途に対し非常に適しているが、高精度適用では平均負荷電流をより十分に制御することが必要である。

【0015】パイロットトランジスタ10は、（たとえこの温度制御が前記変動を制御できないとしても）以下の方法において基準電圧に対して実質的な温度補償を提供する。パイロットトランジスタ10がロードトランジスタ11に隣接設置され、両者が同一チップ12の要素であるために、ロードトランジスタ11を通過する負荷電流の結果により生成される熱はチップを介してパイロットトランジスタ10に伝導する。その結果、パイロットトランジスタはロードトランジスタとほぼ同じ接合温度付近まで加熱する。この熱によってロードトランジスタ11のドレインからソースまでのオン抵抗が増加され、熱伝導によってパイロットトランジスタ10のドレインからソースまでのオン抵抗が比例して増加される。従って、パイロットトランジスタを横切って引き出される基準電圧は、温度上昇によってロードトランジスタを

横切って引き出される感知された電圧に比例して増加する。このように基準電圧はオン抵抗の比例的増大によって感知された電圧と同様に増加するために、この基準電圧は温度補償される。

【0016】図2は、MOSFETドレインパイロットトランジスタ17と、ロードトランジスタのパイロットトランジスタによって追尾する温度を最適化するために構成且つ配置される大型のMOSFETロードトランジスタ18a、18bを包含する回路16を示す。ロードトランジスタは、パイロットトランジスタ17と、制御回路20とパイロットトランジスタのドレインとの間に接続される導体22と、I/Oパッド24（接地される）とパイロットトランジスタ17のソースとの間に接続される導体23と、によってシリコンチップ19上で18aと18bに物理的に二分割される。それにも関わらず、半分のロードトランジスタ18aと18bは実質的にパイロットトランジスタ17を包囲し、パイロットトランジスタは、シリコンチップ19を介したロードトランジスタからの熱伝導によってロードトランジスタとほぼ同一温度まで加熱される。半分のロードトランジスタ18aと18bは、共通ソース導体26（I/Oパッド27と28を介して）と、共通ドレイン導体30（I/Oパッド31と32を介して）と、によって電氣的に相互接続される。シリコンチップ19の裏側には、熱をヒートシンクに伝導するための金属レイヤ（図4参照）があって、この金属レイヤもまた、熱をロードトランジスタからパイロットトランジスタに伝導する働きをする。半分のロードトランジスタ間にパイロットトランジスタが存在することによって、ロードトランジスタをわずかに広げて、それによって加熱をわずかに非集中させる働きがあることをさらに注意するものである。

【0017】（制御回路の幾つかの実施例において以下に示される）電流源は、パイロットトランジスタのオン抵抗を供給し、結果として得られる基準電圧はロードトランジスタのドレインで感知される電圧と比較される。検査では、基準電圧と、広範囲の温度にわたって同一の負荷電流に対応する感知された電圧と、の間に密接な追尾（+又は-4%）が示される。これは、図1に示される従来技術配列についての+又は-14%の偏差に匹敵する。

【0018】図3は、ロードトランジスタ18a、18bとパイロットトランジスタ17のより詳細な上面図である。上記のように、両デバイスは本発明のこの実施例ではMOSFET技術を利用する。図4は、ロードトランジスタ18a、18b内の個別トランジスタの1個についての断面図である。ロードトランジスタの個別トランジスタはそれぞれ、N型基板38内に拡散されるドレインのためのP+領域37と、またN型基板38内に拡散されるソースのための別のP+領域39と、を有する。スポット状金属接点40と41は、それぞれドレイ

ンとソースに対して提供される。P+拡散領域37と39の間に物理的な分離がないとはいえ、連続した個別トランジスタはそれぞれ、金属接点40と41によって（実際に）分離されているドレインとソースのP+拡散領域のストリップから形成される。トランジスタの各列ごとの連続ポリシリコンストリップ49はチャンネル43にゲート電圧を印加するためのものである。ポリシリコンストリップが金属と同じ導電性を有してはいない一方、ゲートは電流を通さず、（これは電界効果トランジスタであるために）ポリシリコンが適切な導体となる。ポリシリコンは、ゲート上への被覆を金属よりも完全に行なう。基板38の裏側にある金属レイヤ44は、ロードトランジスタで放散される熱を若干ヒートシンク（図示せず）に伝導する働きをし、さらに接地面への接続も行なう。

【0019】一例として、ロードトランジスタ18内には244、946個の個別トランジスタがある。金属第1レイヤ内の金属導体ストリップ47と48は、ロードトランジスタの各半分の各列内にあるトランジスタすべてに対してドレインとソース用の金属接点40と41にそれぞれオーバーレイする。このようにして、金属導体ストリップ47と48及びポリシリコンストリップ49は、ロードトランジスタの各半分の各列内にあるトランジスタすべてを並列に相互接続する。金属第2レイヤ内の金属導体ストリップ32と35は異なる列のドレインどうしを相互接続し、金属導体ストリップ33と34は異なる列のソースどうしを相互接続する。金属接点（図示せず）は、個々の金属第1導体と金属第2導体を相互接続する。上記のように、導体26と30は、ロードトランジスタの片方ごとのそれぞれのソースとドレインを相互接続する。2個の半分ずつのロードトランジスタのゲートどうしもまた、列の端から延出するポリシリコンストリップ49によって相互接続される。

【0020】図5はパイロットトランジスタ17の断面図である。一例として、パイロットトランジスタは、側面に並んだロードトランジスタの個別トランジスタの109個分に等しい大きさの1個のトランジスタから製造される。半導体レイヤ37、38、39と43及びチャンネル43上のポリシリコンゲートストリップ49は、パイロットトランジスタ17においてそのパイロットトランジスタを個別トランジスタに分割しようとする試みがないことを除いて、パイロットトランジスタではロードトランジスタの個別トランジスタと同じものである。パイロットトランジスタが小型サイズであるために、適切な性能に対してかかる分割は必要ではない。従って、ロードトランジスタの個別トランジスタのスポット状金属接点40と41の代わりに、パイロットトランジスタ17は金属ストリップ導体640と641を有し、これら導体はドレインとソース拡散の全体長に沿って、ドレイン拡散37とソース拡散39にそれぞれオーバーレイす

る。さらに、トレンチ分離領域650（図3参照）は全体として、ロードトランジスタからパイロットトランジスタを分離するために後者を包囲する。

【0021】本発明はロードトランジスタ18a、18b又はパイロットトランジスタ17の実際のシリコン技法（即ち、材料、大きさ）にまで拡大せず、多くの異なる技術で十分とされている。図3、4及び5に図示される技術では、一個のパイロットトランジスタを包囲するロードトランジスタの基本構造及び配列が示される。しかしながら、図6乃至図9では、DMOS構造を備えたロード及びパイロットトランジスタを製作するためのより適切な配置と技術が示される。かかるDMOS技術について詳細には、ハリスパワー・ASIC2000ライブラリーブックセクション3.11（Harris Power ASIC 2000 Library book section 3.11）を参照するものであり、この部分は本発明の一部として参照によって組み込まれる。商品化のために、ハリスセミコンダクタ社（Harris Semiconductor Inc.）はハリス社専売の「ベシック1-A（PASIC 1-A）」技術（一般注文ができる）を用いて前記パイロットトランジスタとロードトランジスタの配列を製作するために本件の譲受人によって契約されている。このベシック1-A技術もまた、ロード及びパイロットトランジスタのためのDMOS構造を用いている。

【0022】図6は（ロードトランジスタ718として集成的に示される）ロードトランジスタ718a、718b及び別の但し図3乃至図5のそれよりもすぐれた技術による埋め込み型ドレインパイロットトランジスタ717の上面図である。図7はさらにパイロットトランジスタ717の断面を示す。パイロットトランジスタ717はドレイン650、ソース654及びゲート領域651を有する。ドレイン650は伸長N+拡散領域を有し、同様にソース654も伸長N+拡散領域を有する。ドレインとソースはともに、チャンネル領域651を含むP+レイヤ660内に拡散される。P+レイヤ660は、P基板764上に成長されるP-エピタキシャルレイヤ662内に拡散される。二酸化シリコンの500オングストロームの膜厚層から構成されるシノックス（Thinnox）レイヤ653は、下側P+チャンネル領域をポリシリコンゲート導体から隔離する目的のためにチャンネル領域651の露出表面にオーバーレイする。

【0023】導電性ケイ化チタンストリップ651と655は、ドレイン拡散650とソース拡散654に各拡散の全体長に沿ってそれぞれオーバーレイして、これら拡散に対し適切な電気接点を施す。金属ストリップ導体683はストリップ683の全体長に沿ってケイ化チタンストリップ651にオーバーレイして、パイロットトランジスタ717のドレインの接続を行なう。金属ストリップ導体685は、ストリップ685の全体長に沿ってケイ化チタンストリップ655にオーバーレイして、

パイロットトランジスタ717のソースの接続を行なう。ポリシリコン導体ストリップ680はシノックスストリップ653にオーバーレイして、ソースとドレイン間のチャンネルを介して電流を制御するためにゲート接点を提供する。（二酸化シリコンから成る）隔離トレンチ656はパイロットトランジスタ717を包囲する。その結果、ロードトランジスタ718の基準化モデルである伸長形パイロットトランジスタとなる。

【0024】図8はさらに、ロードトランジスタ718の一部分の断面図である。ロードトランジスタ718では、2つのドレイン750と752は共通ソース754にまたがって、2つのトランジスタを生成し、但し、「リアルエステート」を保存する。図示された実施例では、ドレインとソースの各々は、P+レイヤ760内に拡散されるN+領域を有する。P+レイヤ760は、P基板764上に成長されるP-エピタキシャルレイヤ762内に拡散される。ドレイン拡散750と752及びソース間のP+領域760の部分788と789はそれぞれ、2つのトランジスタのチャンネル領域を形成する。二酸化シリコンの500オングストロームの膜厚層から成るシノックスレイヤ753は、ゲート導体をチャンネル領域から隔離する目的のためにチャンネル領域788と789の露出表面にオーバーレイする。

【0025】拡散されたドレインの各々とソースは伸長され（て、後述されるようにロードトランジスタ718を集成的に形成する多数の個別トランジスタによって共有される。スポット状ケイ化チタン領域770、772及び774は、ドレイン拡散領域750と752及びソース拡散領域754に対しそれぞれスポット状の電気接点を形成する。これらのスポット状領域770、772及び774は、高負荷電流を均等に伝導する並列伝導経路を生成するためにドレインとソース拡散の列を個別トランジスタに効果的に分割する。

【0026】ロードトランジスタの左半分718aのトランジスタの各列ごとのスポット状接点770のすべては、金属第1レイヤ内の個々の伸長形金属ストリップ導体783に接続される。同様に、ロードトランジスタの左側半分718aのトランジスタの各列ごとのスポット状接点772はすべて、金属第1レイヤ内の個々の伸長形金属ストリップ導体787に接続される。また同様に、ロードトランジスタの左側半分718aのトランジスタの各列ごとのスポット状接点774はすべて、金属第1レイヤ内の個々の伸長形金属ストリップ導体785に接続される。連続ポリシリコンゲートストリップ780と782は、ドレイン750とソース754の間及びドレイン752とソース754の間に、それぞれゲート接点を提供する。金属第1レイヤと金属第2レイヤは、二酸化シリコンの絶縁層719によって互いに分離されている。（二酸化シリコンから成る）隔離トレンチ756によって、この二列のトランジスタは図6に示された

隣接する二列から隔離される。上記設計の結果、共通ソースを共有する各二列を備えた二列の個別ロードトランジスタになる。各二列内の個別トランジスタは図9に示されるように並列に接続される。

【0027】金属第2レイヤ内の金属ストリップ導体796は、(金属第2から金属第1への金属接点799を介して)ロードトランジスタの半分718a内の金属ストリップ導体783と787のすべてにオーバーレイし、同様に、金属第2レイヤ内の金属ストリップ導体794は、ロードトランジスタの半分718a内の金属ストリップ導体785のすべてにオーバーレイする。これらの金属第2レイヤ導体794と796は、相互に並列状態のトランジスタの列ごとのドレインとソースを相互接続する。トランジスタの二重列のゲートを相互接続するために、連続ポリシリコンストリップ780と782は、両ストリップ間の一体的ポリシリコン部分797によって互いに結合される。

【0028】図10、11及び12には、個々のロードトランジスタによって実質的に包囲される1個を越えるドレインパイロットトランジスタを含む回路が示されている。図10では、ドレインパイロットトランジスタ510と511は実質的にロードトランジスタ559によって包囲され、ドレインパイロットトランジスタ512はロードトランジスタ559によって部分的に包囲されている。パイロットトランジスタはロードトランジスタ内の3つの別個の場所に設置されて、これら3つの場所での温度を監視する。この配置は、ロードトランジスタを横切る温度変化が大きいものである場合に特に有効であり、平均温度補償を提供することが望ましい。

【0029】パイロットトランジスタ510、511と512のドレインは個々の導体530、531又は532によって制御回路525に接続される。パイロットトランジスタ510、511と512のソースはさらに、個々の導体538、539と540によって(接地された)個々の1/0パッド535、536と537に接続される。パイロットトランジスタ510、511と512のゲートは個々のポリシリコンストリップ520、521と522によって制御回路525に接続される。各パイロットトランジスタの3つの導体によってロードトランジスタは細分される。ロードトランジスタの各部分は、共通ポリシリコンゲートストリップ524、金属第2レイヤの導体542、543と544及びソースの関連導体ストリップ545、ならびに金属第2レイヤの導体546、547と548及びドレインの関連導体ストリップ549によって並列に接続される。これらの温度モニタの平均を得るために、3つのパイロットトランジスタ510、511と512のすべてのドレインを、破線553によって図示されるように互いに電気接続することができるので、これら3つのパイロットトランジスタの並列接続を生じ、さらにすべてのパイロットドレイ

ンを共通電源545によって供給することができる。この並列接続において、3つのパイロットトランジスタすべてのゲートもまた共通である。ロードトランジスタ559及びパイロットトランジスタ510、511と512を形成する個別トランジスタの設計は図6乃至8のそれと同じである。

【0030】図11の配列において、3つのドレインパイロットトランジスタ581、582と583は相互に隣接して設置され、ロードトランジスタの温度を得て、且つこれらパイロットトランジスタ間の温度偏差を最小限にするために、実質的にロードトランジスタ590で包囲されている。これは、例えば、パイロットトランジスタの1個又は2個が負荷電流を制御する基準として使用される場合、また他のパイロットトランジスタの1個又は2個が過電流及び不足電流検出器(後述)として使用される場合、さらに3つのパイロットトランジスタがすべて、一体として作動するように互いにほぼ同一温度を有する場合、において重要である。さらに、ロードトランジスタに密接に追尾する温度は最適な性能に対して必要とされる。パイロットトランジスタ581、582と583は、ロードトランジスタ590を形成する個別トランジスタの列に対し垂直なラインに沿って共通線上にある。パイロットトランジスタが共通線上にあって互いに隣合っているために、これらは包囲しているロードトランジスタと実質的に同じ温度及びお互いどうし同じ温度に容易に到達する。さらに、3つのパイロットトランジスタ581、582及び583はすべて、互いに並列且つ隣接するドレイン導体591、592と593をそれぞれ有し、これら3つのパイロットトランジスタはすべて共通ソース導体595を共有する。この配列によって、ロードトランジスタとパイロットトランジスタとの両方に必要な全体的エリアは最小限にされ、パイロットトランジスタには単に1つの「ポケット」があり、ソース導体には1つの幅の狭い「チャネル」が、またドレイン導体には1つの幅の狭い「チャネル」があるために、ロードトランジスタの配置は簡略化される。ロードトランジスタ590及びパイロットトランジスタ581、582と583の個別トランジスタについてのトランジスタ設計は、図6乃至8に示されたものと同一である。

【0031】(図11の好ましい配列とは別の)図12の配列では、3つのドレインパイロットトランジスタ561、562と563もまた互いに隣接して、実質的にロードトランジスタ570によって包囲されているので、ロードトランジスタの温度を密接に追尾して、パイロットトランジスタ間の温度偏差を回避する。パイロットトランジスタ561、562と563は、ロードトランジスタ570を形成する個別トランジスタの列に並行なラインに沿って共通線上にある。パイロットトランジスタが共通線上にあり、互いに隣合っているために、そ

れらは包囲しているロードトランジスタと実質的に同じ温度及びパイロットトランジスタどうしと実質的に同じ温度に容易に到達する。さらに、3つのパイロットトランジスタ561、562と563のすべては、互いに並列且つ隣接するドレイン導体571、572と573をそれぞれ有し、3つのパイロットトランジスタはすべて、共通ソース導体565を共有する。この配列によって、ロードトランジスタとパイロットトランジスタとの両方に必要な全体的エリアが最小限にされ、パイロットトランジスタには単に1つの「ポケット」があり、ソース導体には1つの幅の狭い「チャネル」が、またドレイン導体には1つの幅の狭い「チャネル」があるために、ロードトランジスタの配置は簡略化される。ロードトランジスタ570及びパイロットトランジスタ561、562と563の個別トランジスタについてのトランジスタ設計は、図6乃至8に示されたものと同一である。

【0032】図13には、パイロットトランジスタ17又は好ましくはパイロットトランジスタ717と同様の2個のパイロットトランジスタ10aと10bを用いて、各範囲内の平均負荷電流が制御可能であり且つ温度変化に影響されないように、1つ又は複数の電流範囲内でソレノイドを制御可能に駆動する（ヒステリシス制御）ための新規の回路50が示される。ある用途に対して、2つの範囲又はレベルの電流、例えば、相対的に高い活性化又は「ピック」レベル65（図14参照）と比較的低い保持レベル67（図14参照）、が必要とされる。その相対的に高い活性化レベルを用いて、最初に慣性及び静止摩擦を克服するソレノイドコアを急速に加速する。さらに、相対的に低い保持電流を用いて、衝撃力及びソレノイドコアの保持力を減少させる。

【0033】回路50は、負荷電流のすべてをソレノイド53を介して通過させるNチャネルFETパワー又はロードトランジスタ52と、電源56をソレノイド53に対し制御可能に接続且つ切り離すPチャネルFETチョッピングトランジスタ54と、を有する。ダイオード58はスイッチング中にソレノイド53を横切る逆極性を制限し、スイッチ54が開いていると、電流経路を提供する。トランジスタ54と52がともにオフになる

と、ダイオード59は電源56に対し電流経路を提供する。負荷電流がロードトランジスタ52のドレインからソースまでの経路のオン抵抗を介して通過する結果として、NチャネルFET60を用いて、ロードトランジスタ52を横切って引き出される瞬時「感知」電圧をゲートする。ゲート化トランジスタ60は、非反転バッファ62を介して使用可能となる。感知された電圧は、コンパレータ64の負入力と、コンパレータ66の正入力に印加され、以下のように温度補償ドレインパイロットトランジスタ10aと10bを横切って引き出された基準電圧と比較される。

【0034】駆動電流の各レベルごとに、瞬時駆動電流は基準電圧に基づく範囲又は「ウィンドウ」内に維持される。2つの定電流源68と70は、交互にマルチプレクサ72を介してパイロットトランジスタ10aのドレインに接続される。電流源68を形成する回路は図21に詳細図示され（、さらに本件で参照されるすべての電流源についても同じ回路を使用することができ）る。電流源68は、出力がFET802のゲートに接続される演算増幅器800を有する。FET802のソースはレジスタ804に接続されて、そのレジスタを横切る電圧は演算増幅器800の負入力にフィードバックされる。演算増幅器800の正入力には、電圧源806（V_{ref}）が供給される。このように、レジスタ804を通る電流は、レジスタ804の抵抗によって分割される電圧源806の電圧に等しい。以下に詳述されるように、電流源68の出力側で供給される電流は、レジスタ804を通過する電流に等しい。従って、出力電流は電圧源806の電圧及び／又はレジスタ804の抵抗の選択によってプログラム可能である。電流源68の残り、トランジスタ810乃至813及び819乃至823は、レジスタ804を介して流れる電流と等しい電流を出力側に提供するために、1:1の電流ミラーである。この電流ミラーの1:1の特性は、同一ゲート形態を有し、同一ゲート及びソース電圧を備えたトランジスタ820と810によって設定される。電流ミラー内のトランジスタのすべてのゲート形態は以下の表によって指示される。

【0035】

トランジスタ	長さ（ミクロン）	幅（ミクロン）
810、820	8	800
811、821	8	48
812、822	5	30
813、823	5	40
819	5	500

【0036】この電流源68をチップ上又はチップ以外のところに付加することができ、上記のようにプログラム可能である。望ましければ、電圧のプログラマブルソース806を用いて、2つの別個の電流源68と70及びマルチプレクサ72の代わりに2つの電流出力レベルを提供することができる。

【0037】電流源68は、パイロットトランジスタ10aを横切って相対的に低い保持電流に対するウィンドウのための相対的に高い又はピーク基準電圧、V_{ph}、を引き出させるために用いられ、また電流源70は、パイロットトランジスタ10aを横切って相対的に高い活性化電流に対するウィンドウのための相対的に高い又は

ピーク基準電圧、 V_{pa} 、を引き出させるために使用される（図14参照）。いずれのウインドウのための相対的に高い基準電圧はコンパレータ66の負入力に印加される。コンパレータ66の出力は、フリップフロップ82のオーバーライディングリセット入力に印加される。フリップフロップ82のQ出力はANDゲート84の入力に印加される。ANDゲート84の他の入力にはゲート62のENABLE信号が供給され、ANDゲート84の出力はチョッピングトランジスタ54を制御する。このように、瞬時負荷電流に対応する感知された電圧が負荷電流のいずれのレベルでも相対的に高い基準電圧を越える場合、コンパレータ66は上昇し、フリップフロップ82をリセットする。従って、フリップフロップ82のQ・NOT出力は上昇し、ANDゲート84の出力は上昇し、さらにチョッピングトランジスタ54は遮断される。チョッピングトランジスタ54が遮断されると、電源56からの電圧はブロックされ、ソレノイド53を流れる電流は直列負荷回路の放電LR時間定数に従って減衰する。

【0038】同様に、2つの電流源76と78は、マルチプレクサ80を介してパイロットトランジスタ10bのドレインに印加される。電流源76は、相対的に低い保持電流のウインドウに対する相対的に低い又は谷基準電圧、 V_{vh} 、をパイロットトランジスタ10bを横切って引き出させ、電流源78は、相対的に高い活性化電流のウインドウに対する相対的に低い又は谷基準電圧、 V_{va} 、をドレインパイロット10bを横切って引き出させる。ドレインパイロット10bを横切って引き出された電圧は、コンパレータ64の正入力に印加される。コンパレータ64の出力はフリップフロップ82の設定入力に印加される。したがって、瞬時負荷電流が、負荷電流のいずれかのレベルにおいてドレインパイロット10bを横切って引き出された下位基準電圧以下に下降すると、コンパレータ64はフリップフロップ82を設定（セット）し、フリップフロップ82のQ・NOT出力は、電源56をソレノイド53に接続するためにチョッピングトランジスタ54をオンにする。その結果、負荷電流は負荷回路の荷電LR時間定数に従って増加する。負荷電流は、上記のようにコンパレータ66の入力に印加される相対的に高い基準を越えるまで増加し、その時に、再びサイクルを繰り返すために電源は再度ソレノイドから切り離される。このようにして、負荷電流は個々のウインドウの相対的に高い基準電圧と相対的に低い基準電圧との間の範囲に相当する範囲内に維持される。一例として、各レベルでの相対的に高い基準電圧と相対的に低い基準電圧との差は100ミリボルトである。

【0039】マルチプレクサ72と80は、起動電流が印加される時間と、保持電流が印加される時間と、を決定するためにセレクタ111によって制御される。セレクタ111は、マイクロプロセッサ信号によってチップ

以外のところに付加されたり、又はハードウェアによってチップ上に付加されることがある。かかるハードウェアは、保持電流にスイッチする前に起動電流が印加される時間を決定するためのワンショット112を有する。セレクタ111は電流源70と78を同時に選択し、さらに適切なウインドウを設定するために電流源68と76を同時に選択する。

【0040】各ウインドウに相当する負荷電流は電流源68、70、76と78の精密さとパイロットトランジスタ10aと10bの機能を追尾する温度とにより高精度で維持される。上記のように、ロードトランジスタ52が負荷電流により加熱されると、ロードトランジスタ52のオン抵抗は増加する。しかしながら、パイロットトランジスタ10aと10bのロードトランジスタ52に対する近接性と、これらパイロットトランジスタがロードトランジスタの基準化モデルであるという事実のために、パイロットトランジスタ10aと10bはさらに同じ温度にまで加熱されて、オン抵抗の比例的増加を示す。従って、固定電流源によってパイロットトランジスタを横切って引き出された電圧はロードトランジスタのオン抵抗に比例して増加し、基準電圧は温度補償される。また、感知された電圧が各レベルで2つの基準電圧間を上下変化するために、各レベルにおける平均負荷電流は実質的に一定である。これによって、各レベルにおけるソレノイドコアと関連可動部分の速度についての高精度と、移動中の電磁力及び最終衝撃力が得られる。図13の回路はセレクタ111によって制御されて、ステッパモータコイルを駆動するための2つのレベルの負荷電流を供給すると、次にモータのトルクは同様に密接に制御されることになる。

【0041】図15に示された回路85は、2つのレベルの負荷電流をソレノイド53に供給し、負荷電流の各レベルごとのピーク及び谷基準電圧を生成する方法において図13の回路50とは異なる。回路50にあるような2つのドレインパイロットトランジスタを用いる代わりに、回路85は1個のドレインパイロットトランジスタ10cと電圧分割器91（又は電位差計であってもよい）を以下のように用いて、負荷電流の各レベルに対する2つの基準電圧を引き出させる。2つの電流源88と90はマルチプレクサ86を介してパイロットトランジスタ10cに交互に印加される。電流源88は、保持電流に対する2つの基準電圧を引き出させるために用いられ、また、電流源90は、起動電流に対して2つの基準電圧を引き出させるために用いられる。電流源88と90のいずれか一方がパイロットトランジスタ10cに印加されると、その結果としての電圧が電圧分割器91の上部に印加される。電圧分割器91は、3つの直列レジスタ92、93と94を備えており、レジスタ92と93間の電圧はコンパレータ66の負入力に印加されてピーク基準電圧を供給し、レジスタ93と94間の電圧は

コンパレータ64の正入力に印加されて、谷基準電圧を供給する。このようにして、電圧分割器91は、パイロットトランジスタ10cを横切って電流源88又は90によって引き出される電圧に基づく各レベルの負荷電流においてウインドウを設定する。回路85の残りの部分は回路50のそれらと同様に作動する。図15の回路85は図14の回路よりも回路構成が少ないが、但しレジスタ92乃至94が回路50の4つの電流源と2つのパイロットトランジスタのようには精密でないために、図14の回路のように精密ではない。

【0042】図16に示された回路200は、ソレノイド又はモータコイル201又は変換器又はその他のロードが、回路50にあるように但し双方向における2つの異なるレベルの負荷電流で駆動されることを可能にするものである。例えば、回路200は、モータ速度及び方向を制御するためにH型ブリッジのトランジスタ配置を駆動するのに有効である。回路200において、2つのロードトランジスタ202と204は、コイル201の両側に接続される。コイルを通して電流を一方に駆動するために、ロードトランジスタ202は「EnA」信号によって使用可能とされ、またコイルを通して電流を他の方向に駆動するために、ロードトランジスタ204は「EnA・NOT」信号によって使用可能とされる。EnA・NOTは、両トランジスタ202と204が同時に決してオンにならないことを除いてEnAの補数である。チョッピングトランジスタ203と205はロードトランジスタ202と204とそれぞれ共動することによって、電源56を適切な時間にコイル201に制御可能に接続することができる。ロードトランジスタ202と204の各々は、個々のロードトランジスタのオン抵抗を横切って引き出される電圧を電圧コンパレータ64と66に印加するために個々のゲート化トランジスタを有する。ゲート化トランジスタ206はロードトランジスタ202と同時にEnAによって使用可能とされ、ゲート化トランジスタ208はロードトランジスタ204と同時にEnA・NOTによって使用可能とされる。ドレインパイロットトランジスタ10dはロードトランジスタ202に対して提供され、マルチプレクサ72に接続されて、EnAによって使用可能とされ、ドレインパイロットトランジスタ10eはロードトランジスタ204に対して提供され、マルチプレクサ72に接続されて、EnA・NOTによって使用可能とされる。同様にして、パイロットトランジスタ10fはロードトランジスタ202に対して提供され、マルチプレクサ80に接続されて、EnAによって使用可能とされ、またパイロットトランジスタ10gはロードトランジスタ204に対して提供され、マルチプレクサ80に接続されて、EnA・NOTによって使用可能とされる。EnA又はEnA・NOTのいずれか一方が送信されると、各レベルの負荷電流に対する基準電圧は図13の回路50にある

ように、引き出され且つコンパレータ64と66に印加され、そしてフリップフロップ82は回路50にあるようにセット及びリセットされる。しかしながら、回路200では（回路50の1個のANDゲート84の代わりに）2個のANDゲート233と235が提供されており、ANDゲート233は、フリップフロップ82のQ・NOT出力に接続される一入力と、EnAを受信するために接続される別の入力と、さらにチョッピングトランジスタ203を制御するために接続される出力と、を有する。ANDゲート235は、フリップフロップ82のQ・NOT出力に接続される一入力と、EnA・NOTを受信するために接続される別の入力と、さらにチョッピングトランジスタ205を制御するために接続される出力と、を有する。従って、ロードトランジスタ202が使用可能になると、ゲート化トランジスタ206、パイロットトランジスタ10dと10f及びANDゲート233もまた使用可能になる。別の場合に、ロードトランジスタ204が使用可能になると、ゲート化トランジスタ208、パイロットトランジスタ10eと10g及びANDゲート235もまた使用可能になる。トランジスタの集合と個々のANDゲートの何れもが使用可能になると、回路200は回路50について上述したように作動する。各方向における電流について、2つのレベルの負荷電流が供給されると、各レベルにおける電流は個々のウインドウ内で維持される。

【0043】コイル201の両方向における動作は回路50のダブリング（倍増）を必要とするものではなく、即ち、マルチプレクサ72と80、電流源68、70、76と78、コンパレータ66と64ならびにフリップフロップ82の単一例が必要とされるものである。

【0044】図17には、2つの異なるレベルの駆動電流においてコイル201を両方向に駆動するための別の制御回路258が示される。回路258においては「強制周波数制御」を行なうために発振器256が回路251の代わりに代用されており、1個のドレインパイロット電圧及びコンパレータのみが各レベルごとの駆動電流について図17の回路258において必要とされるという点で、回路258は図16に示された回路200とは異なる。起動電流の許容範囲の頂点にある基準電圧259（図18参照）は電流源70によってパイロットトランジスタ10dを横切って引き出されて、コンパレータ66の負入力に印加される。別の場合に、保持電流の許容範囲に頂点にある別の基準電圧261は電流源68によってパイロットトランジスタ10eを横切って引き出されて、コンパレータ66の負入力に印加される。その使用可能なロードトランジスタからの感知された電圧は、個々のゲート化トランジスタ206又は208によってコンパレータ66の正入力にゲートされる。このように、感知された電圧が基準電圧を超える場合、フリップフロップ82は電源56をロードから切り離すように

リセットされて、負荷電流は負荷回路のLR時間定数に基づいて指数的に減衰する。しかしながら、発振器256が次の正パルスを生ずる場合、感知された電圧が基準電圧よりも小さいと、フリップフロップ82はONにセットされて、電源電圧は再びロードに接続されて負荷電流が増加する。このプロセスは、負荷電流を図18に示されるような基準電圧に相当する電流に、又はそれよりわずかに下側に維持するために繰り返す。図18ではまた、2つのレベルの負荷電流が各方向に供給されることが示される。上記のように、電流方向はEnA又はEnA・NOT信号によって決定され、レベルはセクタ111及びマルチプレクサ72によって決定される。結果としての負荷電流の平均は、次の要因を除き制御可能とされる。負荷電流の直列抵抗は温度とともに変化するために、負荷電流を増減するための直列回路のLR時間定数は変化する。したがって、電源が遮断されると負荷電流の減衰量は変化し、電源が再接続されると負荷電流の増加量は変化する。この変化は大きくないので、平均負荷電流は多くの(但し、すべてではない)用途に対して十分に制御可能であり、そして図17の回路258は図16の回路200よりも回路構成が少なくてもよい。

【0045】図19には、3相関係で、通常は一度に2つの異なる組み合わせにおいて、3個のコイル261乃至263を制御可能に駆動する回路が示される。ロードトランジスタ271乃至273は使用可能になると負荷電流を伝導するためのものである。各ロードトランジスタ271乃至273は、ドレインパイロットトランジスタ291乃至293及びゲート化トランジスタ301乃至303をそれぞれ有する。個々のロードトランジスタ、ゲート化トランジスタ及びパイロットトランジスタは同時に使用可能となつて、対応する基準電圧と感知された電圧をコンパレータ66に提供する。ANDゲート314、316及び318は一度に1個ずつ使用可能となつて、ロードトランジスタ271乃至273の内から一つを選択するとともに、所望の2個のコイルを介して電流経路を生ずる。2つの電流源68と70が交互に使用可能なパイロットトランジスタに結合されるために、図18に示されたものと同様の2つのレベルの駆動電流は所望の経路を介して供給される。

【0046】これらの組み合わせ及び個々に選択されたロードはすべて、ロードトランジスタ、ゲート化トランジスタ、パイロットトランジスタの3つの集合と、ANDゲートとORゲートと1個の電流源、1個の発振器、ならびに1個のフリップフロップによって制御可能に駆動される。これによって大いに費用の節約が達成されるのは、1個の追加のAND及びORゲート、ならびにロード/ゲート化/パイロットトランジスタのみが追加された各コイルごとに付加される必要があるからである。追加の精度は、発振器256を図16のコンパレータ64と電流源76と78に置き換え、また個々のロードト

ランジスタ271乃至273に対してさらに3つのドレインパイロットトランジスタを提供することによって得られる。これら追加のパイロットトランジスタは並列接続されて、図16にあるように追加の電流源に結合される。

【0047】図20は、過電流及び不足電流検出器400を示す。検出器400はドレインパイロットトランジスタ10hを有し、負荷電流を制御するために使用される他の2つのパイロットトランジスタとともに単一のロードトランジスタ内に配置されることが好ましい。これら3個のパイロットトランジスタの配置は図11に示されたものが好ましく、(他の制御回路の一つがまた検出器400とうまく共働するとはいっても)制御回路は図13の回路50が好ましい。

【0048】2つの定電流源404と406は交互に、マルチプレクサ410を介してドレインパイロットトランジスタ10hのドレインに電流を供給する。電流源404は、相対的に高い活性化電流の基準検出レベルを設定するために使用するためにマルチプレクサ410を介して選択され、また電流源406は相対的に低い保持電流の基準検出レベルを設定するために使用するためにマルチプレクサ410を介して選択される。マルチプレクサは、上記したように加速すべき時期と、ソレノイドを保持すべき時期を決定するために使用されるセクタ111によって制御される。

【0049】パイロットトランジスタ10hのドレインにおける電圧は、電流源404によって供給されていようと、又は電流源406によって供給されていようと、電圧分割器420の頂点に印加される。電圧分割器420は直列レジスタ422、423及び424を有する。レジスタ422、423及び424の直列抵抗の合計は、パイロットトランジスタのローディングを防ぐためにパイロットトランジスタ10hのオン抵抗の数倍以上である。一例として、レジスタ422、423及び424の抵抗はそれぞれ、8,000オーム、3,000オーム及び200オームであつて、パイロットトランジスタ402のオン抵抗は150オームである。レジスタ422と423間で引き出される電圧は、2レベルの駆動電流の各々に対して上位検出レベルを設定し、コンパレータ430の負入力に印加される。レジスタ423と424間で引き出される電圧は、2レベルの駆動電流の各々に対して下位検出レベルを設定し、コンパレータ432の正入力に印加される。電流源404がパイロットトランジスタ10hに印加されると、次に電圧分割器420によって引き出された上位及び下位しきい値電圧は、相対的に高い起動電流に対し検出レベルを形成する。これら2つの検出レベルは、過電流及び不足電流状態に相当するものであり、図14の電圧レベル436と438としてそれぞれ示される。電流源406がパイロットトランジスタ10hに印加されると、次に電圧分割器42

0によって引き出される電圧レベルは、相対的に低い保持電流についての上位及び下位検出レベルを形成する。これら2つの検出レベルは、過電流及び不足電流状態に相当するものであり、図14において電圧レベル440と442としてそれぞれ示される。

【0050】コンパレータ430と432に対する他の入力には、ロードトランジスタ52のドレインで引き出される電圧が供給される。ドレイン電圧が個々のレベルの負荷電流に対する過電流基準電圧を越えると、コンパレータ430は、過電流状態を表示するためにマイクロプロセッサ又は図示せぬ他の修正回路によって読み込むことのできる正パルスを出力する。ロードトランジスタ52のドレインで引き出される電圧が個々のレベルの負荷電流に対する不足電流基準電圧より小さいと、コンパレータ432は不足電流状態を表示するためにマイクロプロセッサ又は他の回路によって読み込むことのできる負のパルスを出力する。通常の操作中には、ロードトランジスタ52のドレインにおける電圧は、個々のレベルの負荷電流に対する過電流及び不足電流基準電圧間にある。コンパレータのどちらも故障信号を出力しない。

【0051】パイロットトランジスタ10hのドレインで引き出される電圧は、電圧分割器420をバイアスするために使用され、この電圧がロードトランジスタ52のドレインで引き出される電圧への温度効果を追尾するために、過電流及び不足電流検出レベルは、温度変化に関係なく2つのレベルの負荷電流において負荷電流を均等にブラケットする。即ち、ロードトランジスタが加熱されて、ロードトランジスタのオン抵抗が増加すると、各レベルごとのロードトランジスタのドレインで測定される感知された電圧は、ロードトランジスタのオン抵抗の増大によって増加し、一方、さらに過電流及び不足電流基準電圧は、(固定電流源404又は406によって供給される)ロードトランジスタに熱結合されるパイロットトランジスタ10hのオン抵抗の増大によって増加する。従って、過電流及び不足電流基準レベルを各レベルの駆動電流に対して標準電圧範囲に密接して設定することができ、各レベルの標準範囲からの小さな偏差を感知された電圧の変化に関わらず検出することができる。

【0052】図20は電圧分割器420を取り囲む破線によって、電圧分割器420が検出器400の残りの部分を含む集積回路の外部に設置されることを示す。外部的事実であることによって、レジスタ422、423及び424の内の1個又はすべてを変化させることによって、駆動電流の所望のレベルに従って検出レベルを再位置付けることができる。このように、異なるロードが駆動されたり、又は条件が(外部プログラマブル、オンチップ又はオフチップ電流源を用いて)同じロードに対して異なるレベルの駆動電流を保証すると、次に検出器400は新しい駆動レベルに及ぶように調整され得る。外部レジスタ422の上部基準電圧端部をパイロットトラン

ジスタ402のドレインに、また外部レジスタ422と423の接合点をコンパレータ430の負入力に、さらに外部レジスタ423と424の接合点をコンパレータ432の正入力に、それぞれ相互接続するために3個の1/0ピンのみが必要とされ、レジスタ424の他の側面に対しては外部接地を使用することができる。これによって、非常に広範囲の可能な基準レベルが提供され、3つの外部構成要素と3つの1/0ピンのみが必要とされる。さらに、3個の外部レジスタのすべてが高精度レジスタであるために、精密度は非常に高い。しかしながら、所望であればレジスタ422は検出器と統合されることができ、レジスタ423と424のみが外部に置かれる。これによって、必要な1/0ピンの数は2個に減じられてレジスタ423の各側面ごとに1個ずつの1/0ピンが付与され、外部レジスタの数はレジスタ423と424の2個に減じられる。抵抗器423と424の大きな値がパイロットトランジスタ10hのドレインの電圧に近接する基準レベルを設定するために必要とされる場合に、この後者の配置は、コンパレータ430と432に対する入力によって可能とされるローディングを考慮して提供され得る検出基準レベルの範囲をわずかに減少させる。さらに、2個の外部レジスタのみを使用したこの後者の配置は、統合化レジスタ422の抵抗が正確には設定されないために、精度もまた減少させる。

【0053】検出器400はまた、モータのロータの速度を感知し、又は少なくとも各ステータコイルの整流が発生したことを確認するために用いられる(ロータは永久磁石であってもよい)。かかる検出器の一つは(図16のロードトランジスタ202とコイル201等の)各ステータコイルのロードトランジスタに対応付けられる。この例では、2つのステータコイルはAとBによって表示され、ロータの回転については各コイルの極性は以下のように示される。

【0054】

【数1】

$$\begin{array}{c} A \quad -B \quad / \quad A \quad B \\ \hline -A \quad -B \quad / \quad -A \quad B \end{array}$$

【0055】光学検出器又はホール効果スイッチを用いて、ロータの位置を感知することができ、そしてロータが所定位置にあってコイル201を介したステータ電流の整流を生じさせると、駆動電流コントローラ200は以下のように電流を反転させる。整流の直前に、イネーブルAは高く、イネーブルBは低く、ロードトランジスタ202はオンであり、ロードトランジスタ203はオフである。整流にしたがって、イネーブルAは低く、イネーブルBは高くなり、結果的に、ロードトランジスタ202は遮断されて、ロードトランジスタ203はオンになる。その結果、このステータコイルを通った電流はゼロに減衰して、次に完全反転レベルに上昇する。トラ

ンジスタ202を横切る電圧をさらにコンパレータ430と432に印加することによって、感知された電圧(Vsense)を供給する。このように、ステータ電流のゼロへの減衰は不足電流コンパレータ432をトリガーして、不足電流信号が転送されるようにする。この信号は整流が生じたことを確認する。この用途に対して、不足電流基準はゼロボルトに密接して設定されるので、不足電流信号はまた整流のモーメントを指示する。以上のプロセスは各整流に対して繰り返される。さらに、モータの物理的形狀及び電氣的形態は周知である。このように、不足電流信号が生成される割合はモータの速度を表示する。光学センサ又はホール効果スイッチの出力は、モータロード及びトルクの変化が閉ループ反応時間に影響するので、モータの速度を表示する不足電流検出器のように正確ではないことがわかる。不足電流信号は、切り換えコマンドを発した後で短期間電流コントローラの故障を表示するものと見られるものではない。むしろ、そのように方向付けられる場合に切り換えられるステータフィールドを保証するためにトグルをモニタするために使用されることになる。

【0056】

【発明の効果】本発明は上記のように構成されるので、ロードトランジスタの温度を正確に追尾する1個又は複数の関連パイロットトランジスタの半導体配置を提供し、この配置によって、ロードトランジスタのパイロットトランジスタが追尾する最適な温度と、パイロットトランジスタの温度の均一性が保証されるという優れた効果を有する。

【図面の簡単な説明】

【図1】従来技術によるロードトランジスタ、パイロットトランジスタと制御回路ならびにそれらの半導体配置を示すダイアグラムである。

【図2】ロードトランジスタ、パイロットトランジスタと制御回路ならびにそれらの半導体配置を示すダイアグラムである。

【図3】図2のロードトランジスタとパイロットトランジスタの一部の詳細な上面図である。

【図4】図2のロードトランジスタの一部の断面図である。

【図5】図2のパイロットトランジスタの断面図である。

【図6】図2の回路の別の実施例のロードトランジスタとパイロットトランジスタの一部の詳細な上面図である。

【図7】図5のパイロットトランジスタの一部の断面図である。

【図8】図5のロードトランジスタの一部の断面図である。

【図9】図5のロードトランジスタの一部によって形成される電気回路の概略図である。

【図10】ロードトランジスタ、3個のパイロットトランジスタと制御回路を有する新規の回路及び回路の半導体配置の上面図である。

【図11】ロードトランジスタ、3個のパイロットトランジスタと制御回路を有する別の新規の回路及び回路の半導体配置の上面図である。

【図12】ロードトランジスタ、3個のパイロットトランジスタと制御回路を有するさらに別の新規の回路及び回路の半導体配置の上面図である。

【図13】新規のコントローラと、2つのレベルの駆動電流でソレノイドを駆動するための駆動回路を示す回路ダイアグラムである。

【図14】ソレノイドに対し駆動電流を制御するために図13のコントローラによって感知される電圧と生成される基準電圧を示すグラフであり、また、図13のコントローラと他のコントローラのための過電流及び不足電流検出器によって生成される基準電圧を示す。

【図15】図13の回路に対する別の設計による回路ダイアグラムである。

【図16】2つのレベルの駆動電流でのソレノイドを各レベルで双方向に駆動するための別の新規のコントローラと駆動回路の回路ダイアグラムである。

【図17】図16の回路の代わりとなる回路ダイアグラムである。

【図18】図16と17の回路によって生成される双方向における2つのレベルの駆動電流を示すグラフである。

【図19】いずれの方向における2個のコイルを組み合わせる3相関係において3個のコイルを駆動するための新規のコントローラと駆動回路を示す回路ダイアグラムである。

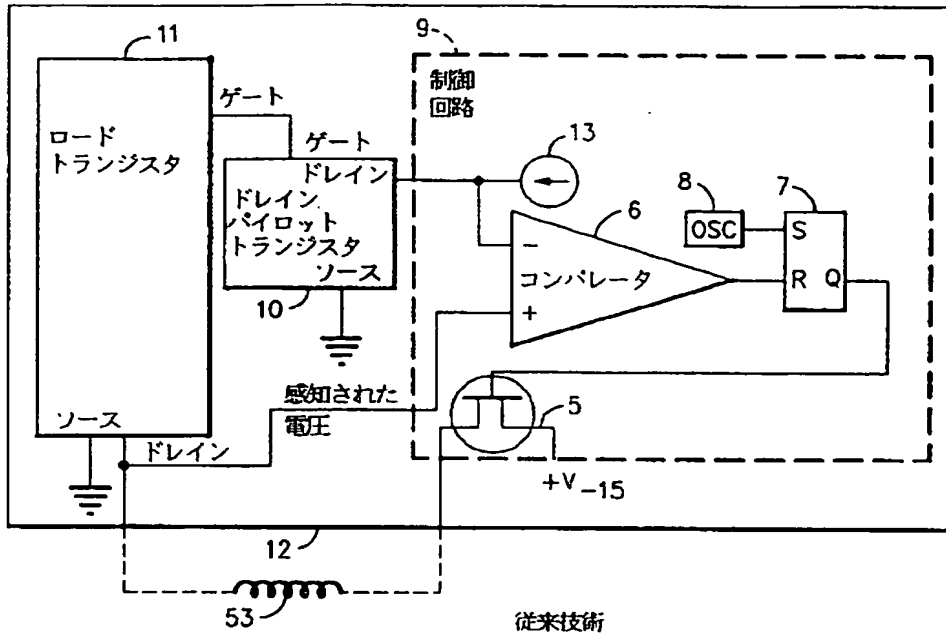
【図20】2つのレベルの駆動電流で過電流及び不足電流状態を検出するために、図14に示されたウィンドウを表わす過電流及び不足電流検出器の回路ダイアグラムである。

【図21】上記の電気回路の1個において使用できる電流源の回路ダイアグラムである。

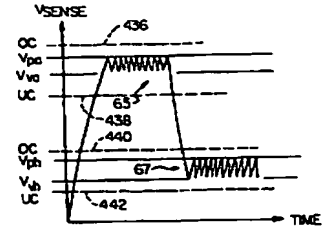
【符号の説明】

- 17 パイロットトランジスタ
- 18 a 1/2ロードトランジスタ
- 18 b 1/2ロードトランジスタ
- 20 制御回路
- 22 導体
- 23 導体
- 24 I/Oパッド

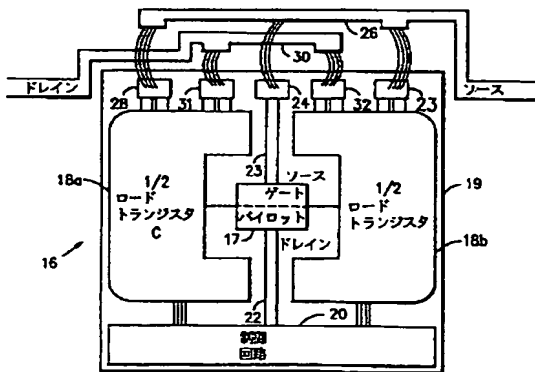
【図1】



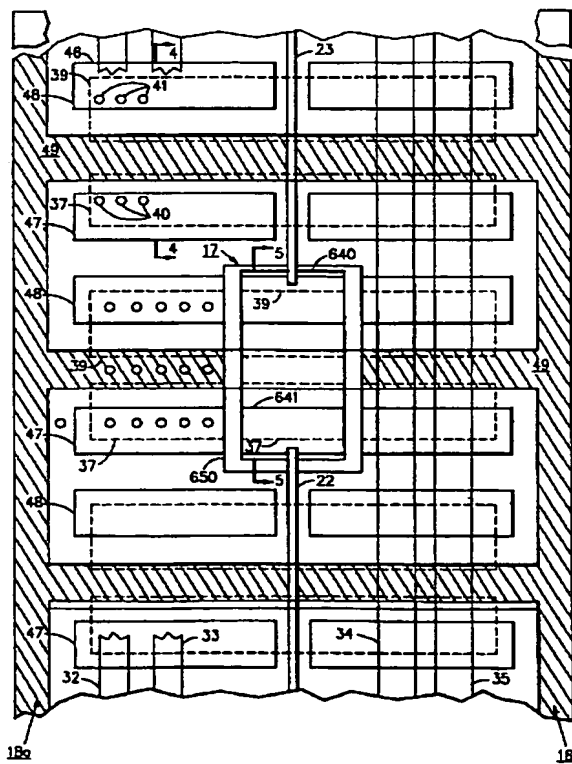
【図14】



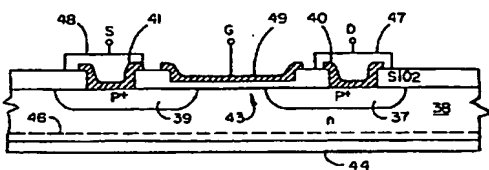
【図2】



【図3】

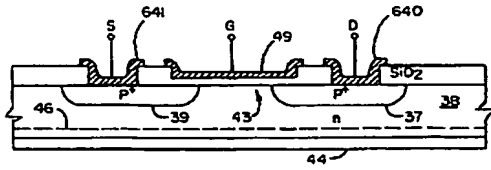


【図4】

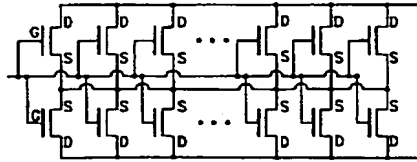


従来技術

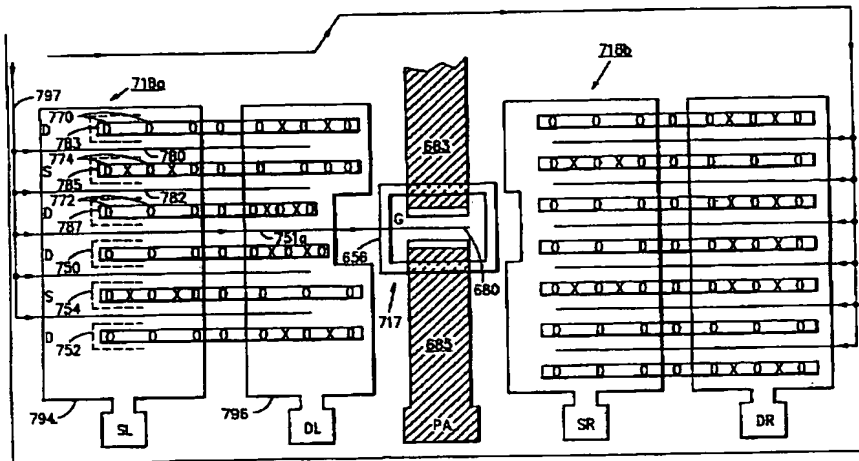
【図5】



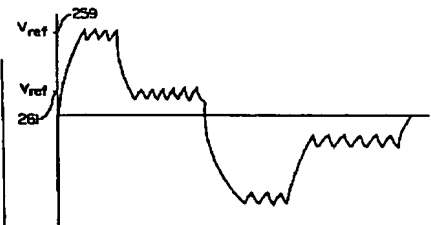
【図9】



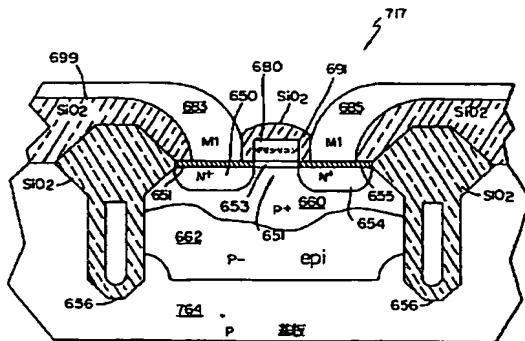
【図6】



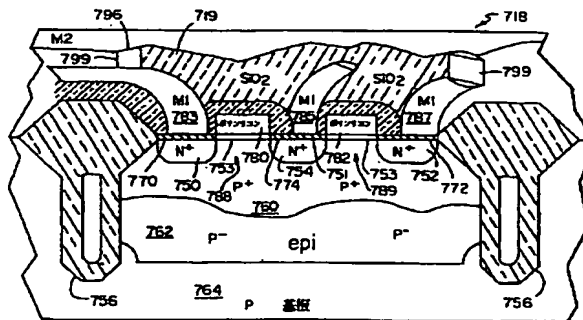
【図18】



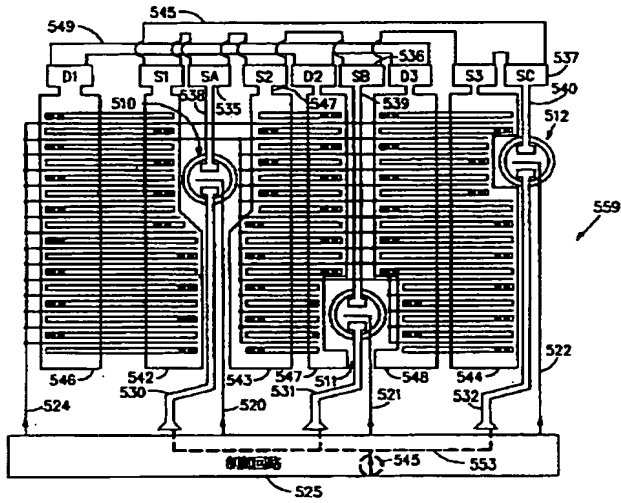
【図7】



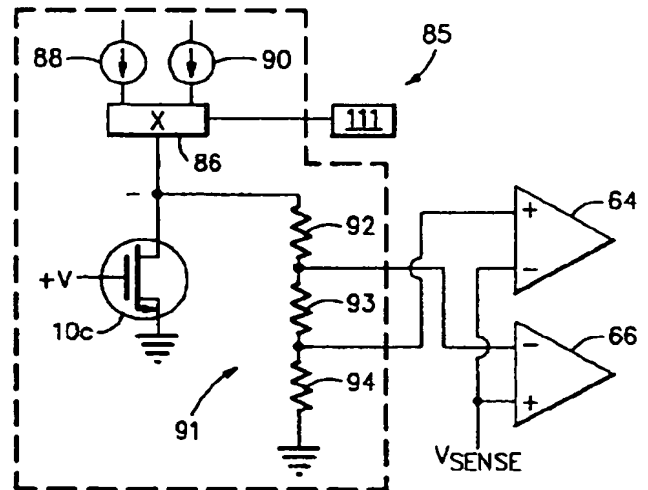
【図8】



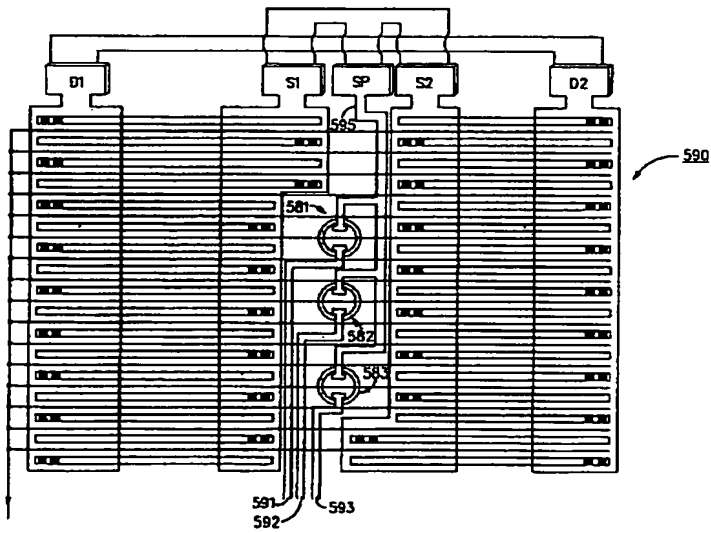
【図10】



【図15】

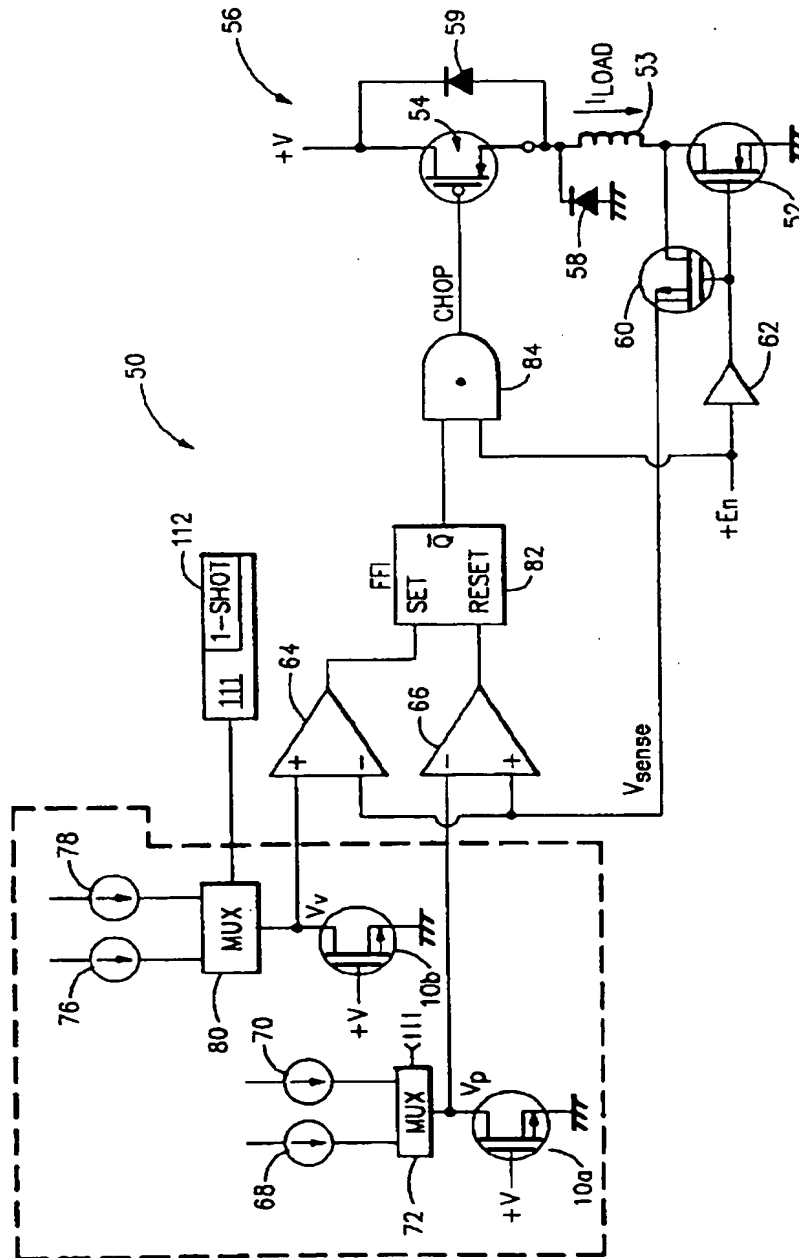


【図11】

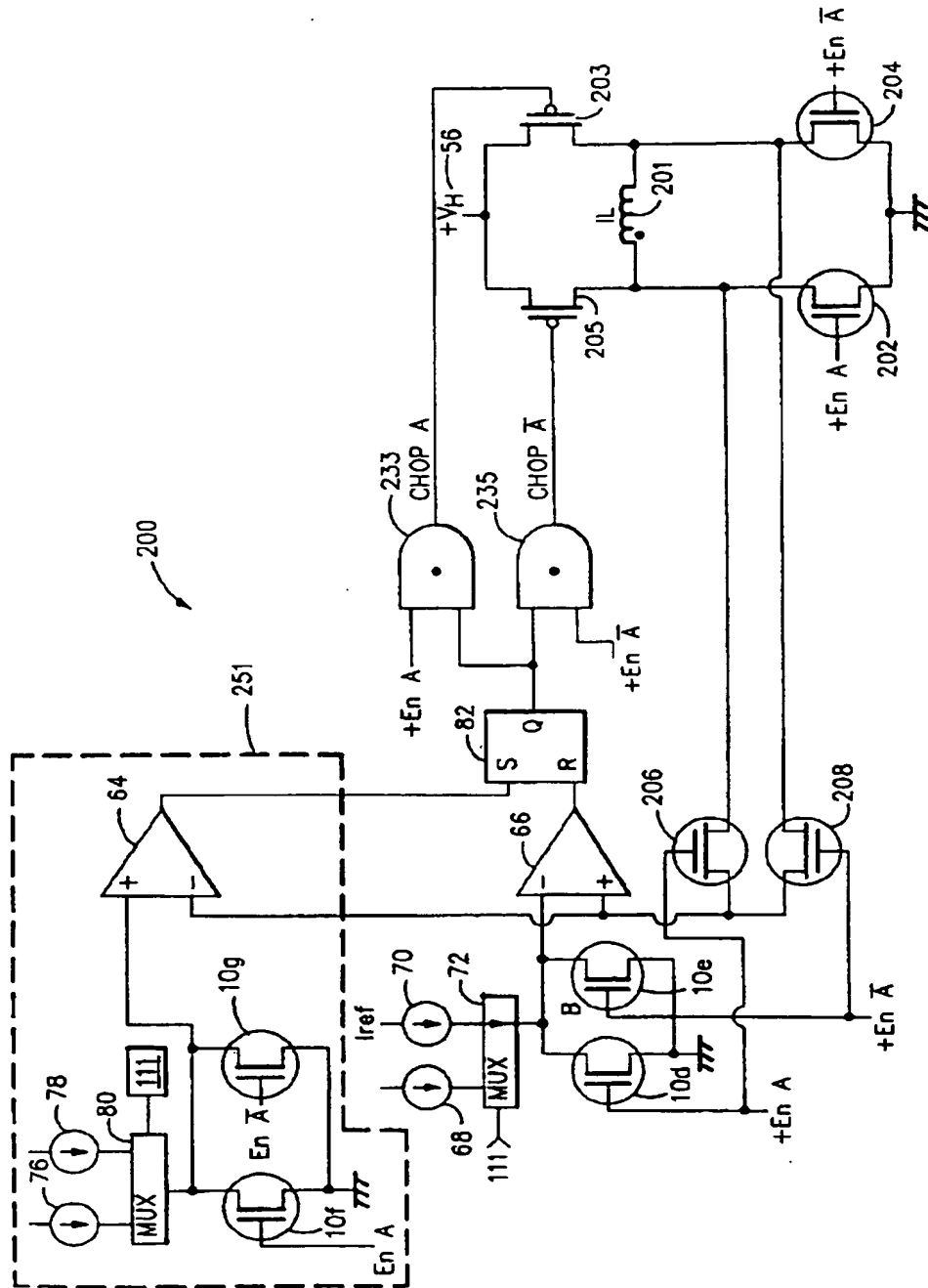


The circuit diagram shows a chopping amplifier 258. It includes a multiplexer (MUX) 72 controlled by signals 68 and 70, which selects between Pilot A and B inputs. The selected signal goes through inverters 10d and 10e. The output of inverter 10e is fed back to the non-inverting input (+) of an operational amplifier 66. The inverting input (-) of op-amp 66 is connected to an oscillator (OSC) 256 and a feedback network consisting of capacitors 206 and 208. The output of op-amp 66 drives an S-R flip-flop 82. The Q output of the flip-flop controls two AND gates 233 and 235. AND gate 233 takes +EN \bar{A} as its other input and produces CHOP \bar{A} . AND gate 235 takes +En A as its other input and produces CHOP A. These control signals are applied to a differential pair of transistors 205. The source of transistor 205 is connected to a load inductor IL 201, which is in series with a current source 203. The other end of the inductor is connected to a common-mode feedback network consisting of transistors 202 and 204, biased by +En A and +En \bar{A} respectively. The output of the amplifier is taken from the node between the inductor and the current source.

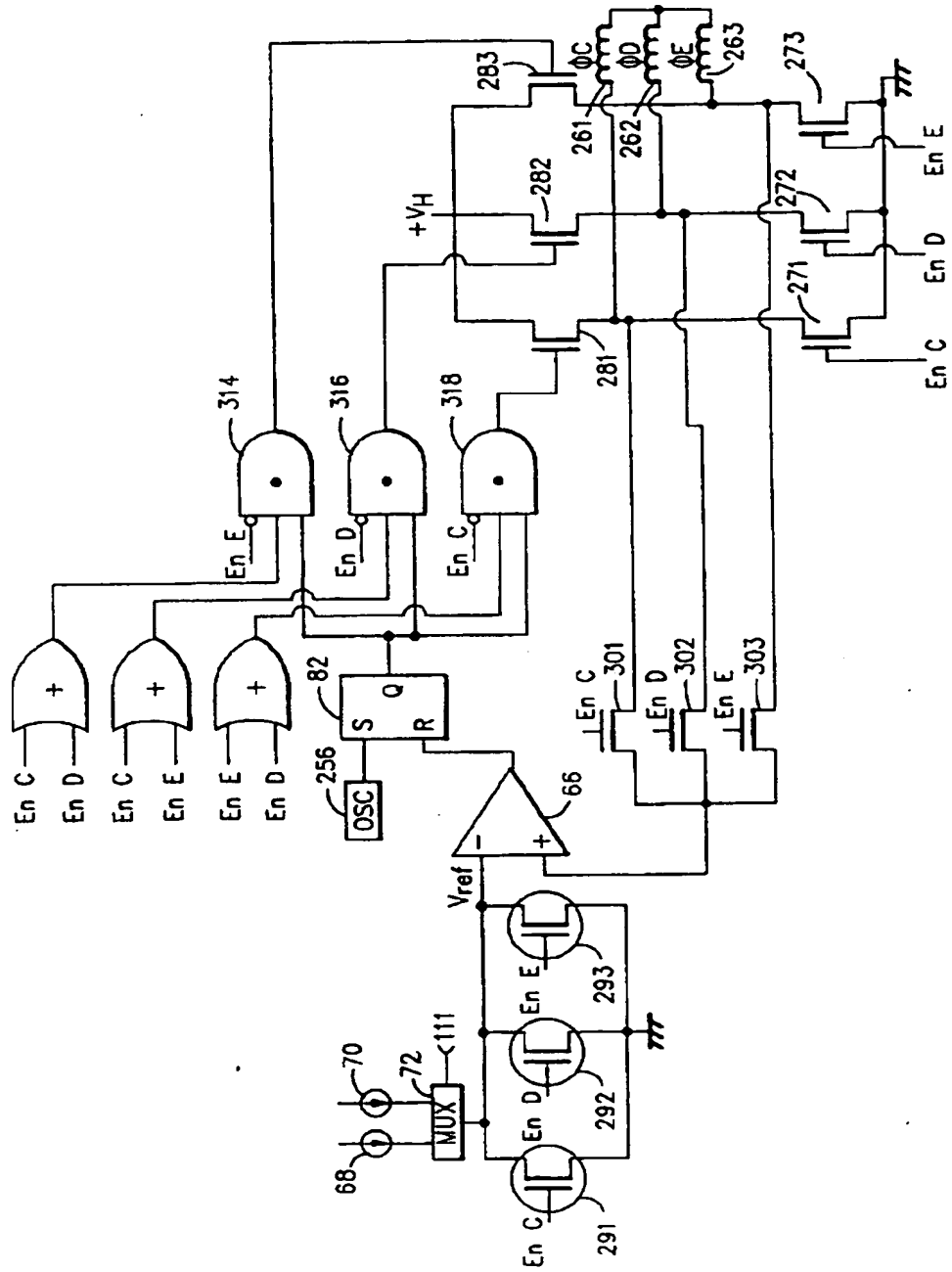
【図13】



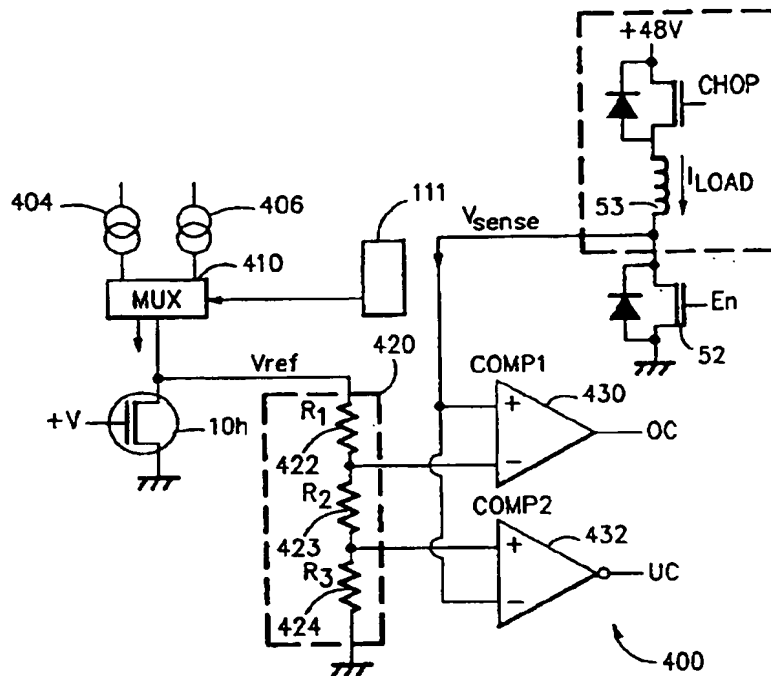
【図16】



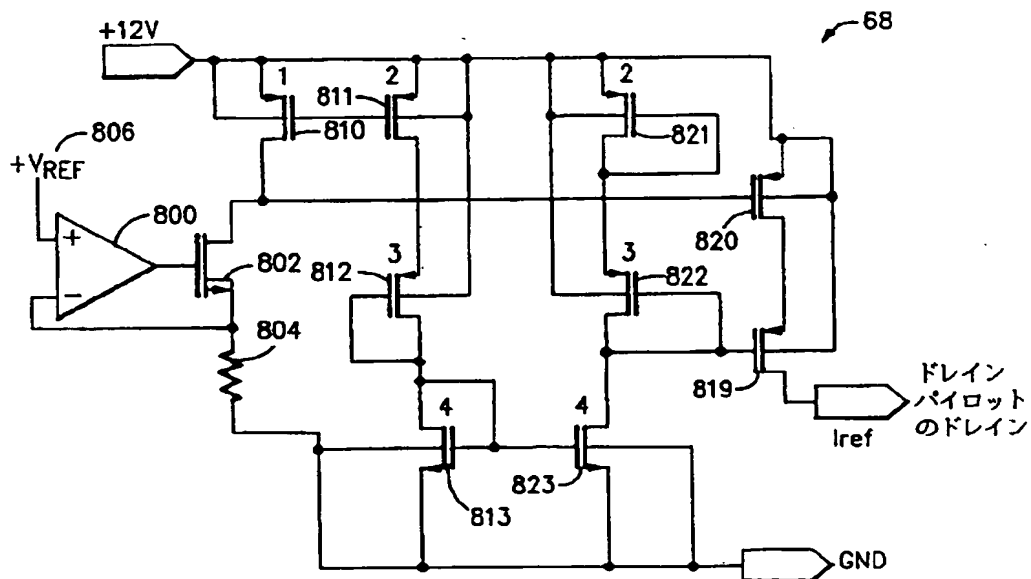
【図19】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 5

H 0 3 K 17/08

17/687

識別記号

庁内整理番号

C 9184-5J

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.